

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-015471

(43)Date of publication of application : 22.01.1988

(51)Int.Cl.

H01L 29/78

H01L 27/12

(21)Application number : 61-159253

(71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 07.07.1986

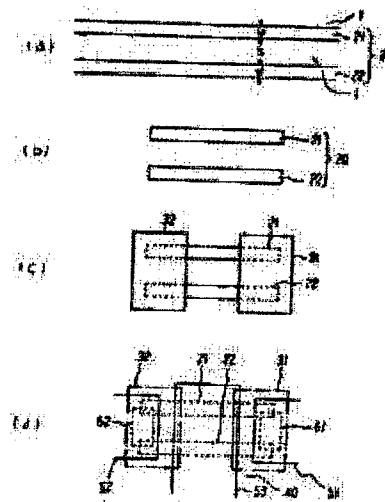
(72)Inventor : SHINPO MASAFUMI

(54) THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a recrystallized film having high uniformity using beam annealing to treat a first thin semiconductor film made into a plurality of stripe-shaped islands.

CONSTITUTION: A first semiconductor film 20 of high resistance is formed into plurality of stripes on a substrate 1 and they are selectively etched to a prescribed length (more than a channel length) after treated with beam-annealing in their lengthwise direction. And then n⁺ source and drain areas 32 and 31 are provided at the both sides of the plurality of first semiconductor films 20 by depositing and selectively etching a second semiconductor films of low resistance and contact windows 61 and 62 are opened after depositing a gate insulating film 40 and then, a gate electrode 53 and drain and source electrodes 51 and 52 are arranged. Thus, the adoption of channel areas in the form of thin stripes facilitates monocrystallization of a recrystallized layer.



⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-15471

⑤ Int. Cl.⁴

H 01 L 29/78
27/12

識別記号

3 1 1

庁内整理番号

Z-8422-5F
7514-5F

⑬ 公開 昭和63年(1988)1月22日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 薄膜トランジスタとその製造方法

⑮ 特 願 昭61-159253

⑯ 出 願 昭61(1986)7月7日

⑰ 発 明 者 新 保 雅 文 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑱ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑲ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

薄膜トランジスタとその製造方法

2. 特許請求の範囲

(1) 絶縁基板上に設けられた複数個で互いに離間し、かつ平行なストライプ形状の一導電型もしくは逆導電型の高抵抗第1半導体薄膜と、複数の第1半導体薄膜をはさんで該薄膜を束ねる様に両側に設けられ互いに離間した一導電型低抵抗第2半導体薄膜より成るソース領域及びドレイン領域と複数の第1半導体薄膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に設けられ、前記複数の第1半導体薄膜をチャンネル領域とする様にしたゲート電極とから成る薄膜トランジスタ。

(2) 複数個の第1半導体薄膜がエネルギービームによって溶融再結晶された結晶膜であることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

(3) 複数個の第1半導体薄膜の各々のチャンネル幅方向の幅が5 μ m以下であることを特徴とする

特許請求の範囲第1項もしくは第2項記載の薄膜トランジスタ。

(4) 前記ゲート電極と第2半導体薄膜はゲート絶縁膜をはさんだ平面的に重畳せずオフセット部があり、オフセット部の第1半導体薄膜は一導電型に低抵抗化されていることを特徴とする特許請求の範囲第1項から第3項いずれか記載の薄膜トランジスタ。

(5) (a) 前記基板上に複数個で互いに平行なストライプ状の高抵抗第1半導体薄膜を設ける第1工程

(b) 第1半導体薄膜を溶融再結晶化すべくエネルギービームで前記ストライプの長さ方向に走査してビームアニールすると共に、第1半導体薄膜を一導電型もしくは逆導電型高抵抗結晶膜とする第2工程

(c) 第1半導体薄膜のストライプの長さ方向に互いに離間し、該薄膜を束ねる様に一導電型低抵抗第2半導体薄膜を選択的に設け、ソース領域とドレイン領域を形成する第3工程

(d) ゲート絶縁膜を少なく共第1半導体薄膜上に形成する第4工程

(e) 導電膜を堆積し、選択エッチによってゲート絶縁膜上に複数の第1半導体薄膜をチャンネル領域とする様にゲート電極を形成する第5工程

より成る薄膜トランジスタの製造方法。

(6) 前記第1工程における第1半導体薄膜のストライプ長さが前記基板の大きさと同程度に長く、前記第2工程のビームアニールの後、第1半導体薄膜を所望の長さに選択エッチする工程を付加したことを特徴とする特許請求の範囲第5項記載の薄膜トランジスタの製造方法。

(7) 前記第5工程においてゲート電極と第2半導体薄膜との間に平面的に重疊しない様にオフセット部を設け、第5工程の後にオフセット部の第1半導体薄膜にゲート電極をマスクに一導電型不純物をイオン注入する工程を付加したことを特徴とする特許請求の範囲第5項もしくは第6項記載の薄膜トランジスタの製造方法。

OI技術は、将来の三次元集積回路の重要な部分を占める。SOI技術は、半導体薄膜をレーザービーム、電子ビーム、赤外線等のいわゆるエネルギービームで溶融・再結晶化するものが多い。再結晶膜を再現性良く均一に形成するためには多くの方法があり、例えば日経エレクトロニクス1985年10月7日号 229頁(特に250頁)に記載されている。その中で(1)ビーム強度を変化させる方法は、基板上全面に堆積された半導体膜を用い、ビーム強度分布の精密な制御と安定性が必要である。(2)半導体膜表面に反射膜や吸収膜を設けビーム強度分布をもたせる方法は、反射膜等の形成工程が多くなる問題がある。(3)熱の逃げ方に差をつける方法も(2)と同様に工程が多い。以上の問題点に加えて、これらの方法は基本的にビームの照射された部分の半導体膜内にTFITを形成するもので、そのサイズはビーム径以下である。それ以上大きくする場合には、2回のビームアニールの重ね合わせ部分を用いる必要があり、結晶粒界等が入りやすい。また、再結晶時にはビ

3. 発明の詳細な説明

〈産業上の利用分野〉

本発明は、レーザーアニール等で再結晶化された半導体薄膜を用いた絶縁ゲート型薄膜トランジスタ(TFIT)の構造と製造方法に関するものである。

〈発明の概要〉

本発明によるTFITは多チャンネルをもったもので、絶縁基板上的複数のストライプ形の島状高抵抗で一導電型もしくは逆導電型の第1半導体薄膜と、ストライプ形の長さ方向に互いに離間し、島状第1半導体薄膜を束ねる様に設けた低抵抗で一導電型の第2半導体薄膜から成るソース及びドレイン領域と、第1半導体薄膜上のゲート絶縁膜と、その上のゲート電極から成る。第1半導体薄膜は、複数のストライプ状島状領域として設けられるので、ビームアニール走査によって単結晶化しやすい。

〈従来の技術〉

非品質絶縁物上の結晶シリコン技術いわゆるS

ーム照射された部分すべての熱を放散する必要があるため、基板への影響は無視できない。特に基板が低融点ガラス等の場合には、これは重要な問題である。

〈発明が解決しようとする問題点〉

本発明は以上の問題点を改善するためのもので、均一性の良い特性をもったTFITを大面積基板上に形成でき、基板に影響を与えにくいビームアニールTFIT構造とその容易な製造方法を提供するものである。

〈問題点を解決するための手段〉

本発明においては、(1)絶縁基板上的高抵抗第1半導体薄膜をストライプ形の複数の島状領域とする工程(2)ストライプの長さ方向のビームアニール(3)ストライプの長さ方向の両側に第1半導体膜を束ねる形で低抵抗第2半導体膜でソース及びドレイン領域を選択形式(4)ゲート絶縁膜を少なく共第1半導体膜上に設ける工程(5)ゲート電極を複数の第1半導体膜のストライプを横断する形で設ける工程より成る製造方法であり、構造

を有する。

〈作用〉

ビームアニールさるべき第1半導体膜は幅Wをもつストライプ状になっているので、アニール走査はストライプの長さ方向に行える。Applied Physics Letters 34巻12号(1979年)pp. 831~833によれば、Wが狭い程度半導体膜は単結晶化しやすくなる。我々の実験ではWが5 μ m以下が実用的であった。この様に、ストライプ状第1半導体膜をビームアニールすることにより、均一性の良い再結晶膜が得られ、結果として均一な特性をもつTFTを得ることができる。また、本発明では加熱されるのはストライプ状の第1半導体膜なので、単位面積あたりの平均放熱量は小さくて済み、ガラス基板等の使用が容易になり、結果として大面積基板化ができる。

〈実施例〉

a. 実施例1 TFT構造(第1図)

第1図は本発明によるTFTの構造例で第1図(a)は平面図、第1図(b)、(c)及び(d)

イプの長さ方向にビームアニール走査された再結晶半導体膜が最適である。ゲート絶縁膜40にはCVD等により堆積されたSiO₂やSiN膜や熱酸化膜を用いることができる。

この構造では、第1半導体膜20のストライプ幅をW、本数をnとすれば、本TFTのチャンネル幅 $W=nW$ となる。また、Wは各ストライプによって等しい必要はない。

b. 実施例2 製造工程例(第2図)

第2図には実施例1のTFT構造を実現するための製造工程に沿った平面図を示す。第2図(a)は基板1上に多結晶Siやa-Si等の高抵抗第1半導体膜20を複数個ストライプ状に形成した平面図である。各ストライプは幅W、間隔Sを有し、例えばWは3 μ m、Sは2 μ mである。ビームアニールにArCHレーザを用いる場合、ビーム系を40 μ mとするとストライプは7~8本アニールできるが、用いるのはその中心部の3~4本のストライプが望ましい。Wは最大5 μ m、Sは最大ビーム径の1/2の程度に選ぶのが望ましい。ストライプの長

はそれぞれ第1図(a)のA-A'線、B-B'線、C-C'線に沿った断面図である。絶縁基板1上にストライプ形状をした複数の島状第1半導体膜(例えばP⁺Si膜)20がチャンネル長方向と並行に設けられ、Pチャンネル領域21、22、23を形成している。n⁺ソース及びドレイン領域32、31は低抵抗第2半導体膜30(例えばn⁺多結晶Si)により複数のPチャンネル領域21~23を束ねる様にそれらの両側に配され、ゲート絶縁膜40はPチャンネル領域21~23上を被覆し、さらにその上にゲート電極53が複数のPチャンネル領域21~23を横切る様に設けられている。必要に応じソース及びドレイン電極52、51はゲート絶縁膜40に設けたコンタクト窓62、61を介してn⁺ソース及びドレイン領域32、31に接して形成される。基板1には、石英、ガラス等の絶縁物や絶縁膜コートされたSi基板等が用いられる。ガラス基板を用いる場合には必要に応じ表面にSiO₂等がバッファ絶縁膜として挿入される。第1半導体膜20は、ストラ

さは、TFTのチャンネル長以上であれば任意に選べるが、この例の場合基板1のサイズ(直径または幅)と同程度にしている。第2図(a)の状態ビームアニールした後、第2図(b)の如く第1半導体膜20を所定の長さ(チャンネル長以上)に選択エッチする。第2図(c)は、低抵抗第2半導体膜(n⁺多結晶Si)を堆積・選択エッチによって複数の第1半導体膜20の両側にn⁺ソース及びドレイン領域32、31を設けた平面図を示す。n⁺ソース及びドレイン領域32、31の形成は、n⁺多結晶Siやn⁺a-Si膜の堆積、選択エッチ、ビームや炉によるアニールによる低抵抗化が望ましい。また、第1半導体膜はこの段階でチャンネル領域21、22となるが、その導電型やキャリア密度は第2図(a)の段階の第1半導体膜堆積時、堆積後から第2図(c)の段階のいずれかの工程に不純物添加やイオン注入を付加することにより制御される。第2図(d)は、ゲート絶縁膜40の堆積後、コンタクト窓61、62を開孔し、金属膜等でゲート電極53、

ドレイン及びソース電極51、52を設けた平面図である。

第2図(c)の第2半導体膜30の選択エッチ工程は、例えば n^+ SiとP型Siに対し選択比の大きい Cl_2 系のドライエッチやウェットエッチと共に両者の膜質の差(例えば非晶質と単結晶)を利用すると容易である。

c. 実施例3 TFF構造(第3図)

第3図にはセルフアライン工程ができるTFF構造例を示し、第3図(a)は平面図、そのD-D'線に沿った断面を第3図(b)に示す。この例では、ゲート電極(例えば n^+ 多結晶膜)53と n^+ ソースまたは n^+ ドレイン領域32、31は平面的に重畳せずにオフセット部がある。そのオフセット部の第1半導体膜は n 領域311、312、321、322に形成され、その間にPチャンネル領域21、22が設けられている。 n 領域311、312、321、322の形成は、ゲート電極53をマスクにした n 型不純物のイオン注入等で行なえ、後で詳述する。

ドレイン電極52、51を形成し完成した断面を示す。第3図(f)の例の様に、フィールド絶縁膜70を第4図(d)の工程後に堆積することでもできる。

以上 n チャンネルTFFを例に述べたが、Pチャンネル、デプレッション型等も各領域の導電型キャリア密度の選択で可能である。

《発明の効果》

本発明は大面積にかつ均一なTFFを育てることができるので、液晶表示装置用TFF基板や大面積のアクティブマトリクス表示装置等に適用できる。特に、基板への熱の影響が小さく、かつ基板上に1列ずつTFFを形成できることも上記装置への応用を容易にする。また透明基板を用いる場合にはエネルギービームに光を用い基板裏面からのアニールも容易で、イオン注入時の活性化等に有効である。本発明によるTFFはストライプ状のチャンネル領域を有するので、従来のビームアニール法によるチャンネル領域の形成にも適用でき、細いストライプの採用により再結晶層の単結

d. 実施例4 製造工程例(第4図)

第4図には第3図の実施例3のTFF構造の製造工程断面図を示す。第4図(a)はストライプ状第1半導体膜をビームアニールして再結晶P型Si膜22を形成した断面、第4図(b)は第2半導体膜である n^+ 多結晶Si膜で n^+ ソース及びドレイン領域32、31を形成した断面、第4図(c)はゲート絶縁膜40堆積後さらにゲート電極53を形成した断面であるゲート電極53には多結晶Siやa-Siの他に高融点金属等が用いられる。第4図(d)はゲート電極53をマスクに n 型不純物をイオン注入してP型Si膜22内に n 型領域312、322を設けた状態を示す。ゲート絶縁膜40がイオン注入に対し厚すぎる場合にはゲート電極53をマスクにゲート絶縁膜40を選択エッチし厚みを薄くするか除去する。後者の場合、イオン注入の他に、 n 型不純物の堆積・ビームアニールまたは n 型不純物雰囲気でのビームアニール等のレーザドーピングも適用できる。第4図(e)は、コンタクト窓を開孔し、ソース・ド

品化がより容易になる利点をも有する。そのため、2層ICや三次元ICへの応用も容易である。

4. 図面の簡単な説明

第1図(a)は本発明によるTFF構造の平面図、第1図(b)～(d)はそれぞれ第1図(a)のA-A'線、B-B'線及びC-C'線に沿った断面図、第2図(a)～(d)は第1図のTFFの製造工程順平面図、第3図(a)は他の実施例によるTFF構造の平面図、第3図(b)は第3図(a)のD-D'線に沿った断面図、第4図(a)～(e)は第3図のTFFの製造工程順断面図である。

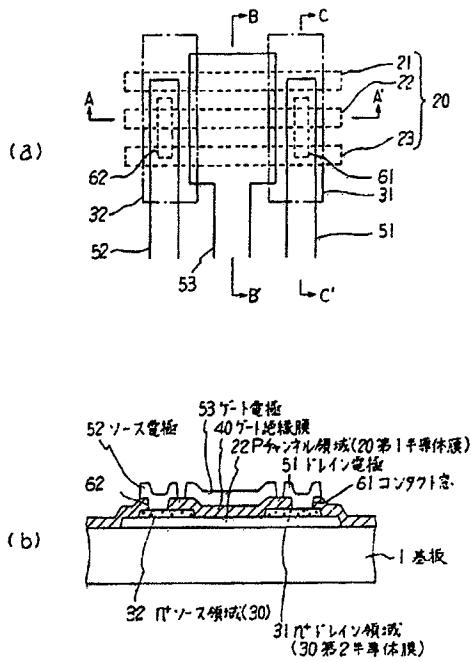
1…基板、20…第1半導体薄膜、21、22、23…Pチャンネル領域、30…第2半導体薄膜、31… n^+ ドレイン領域、32… n^+ ソース領域、40…ゲート絶縁膜、51…ドレイン電極、52…ソース電極、53…ゲート電極。

出願人 セイコー電子工業株式会社

代理人 弁理士 殿上 務

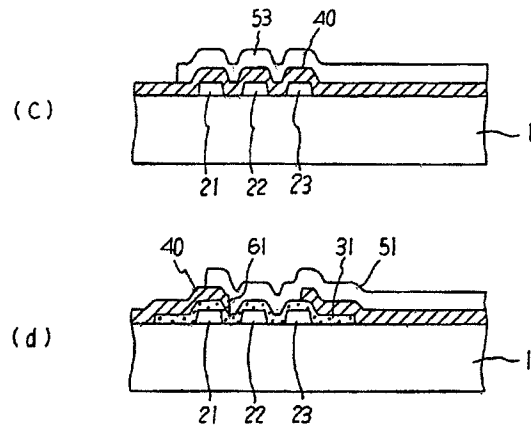
(他1名)





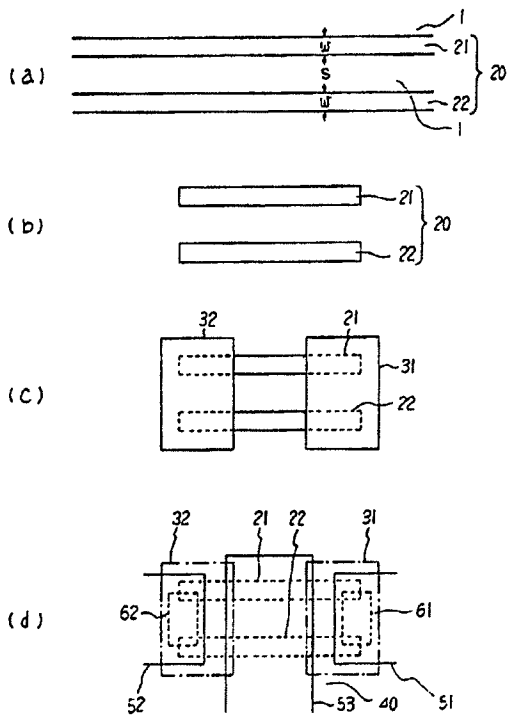
本発明のTFT構造例を示す図

第1図



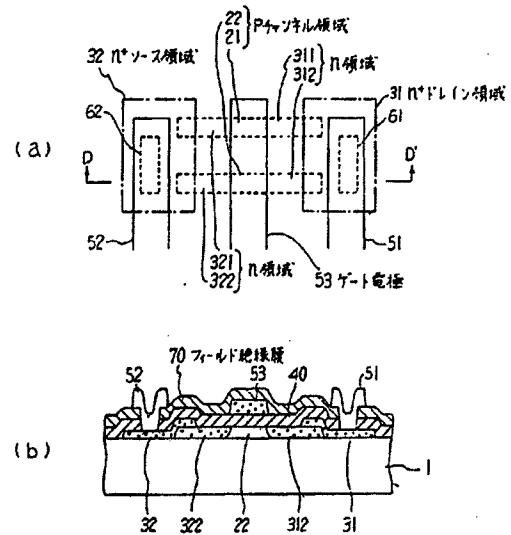
本発明のTFT構造例を示す図

第1図



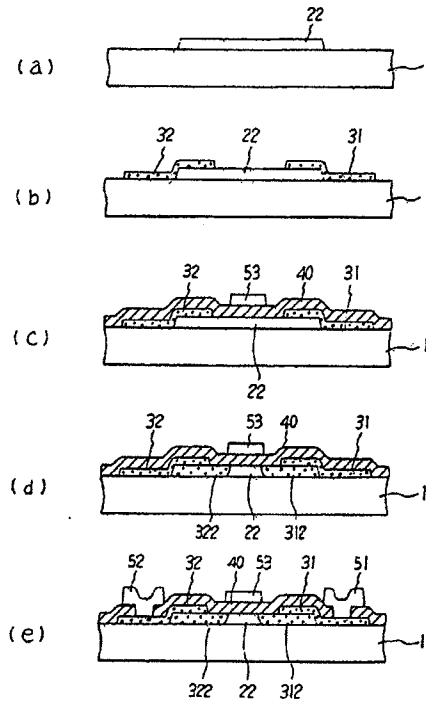
本発明によるTFT製造工程順の平面図

第2図



TFT構造例を示す図

第3図



TFT製造工程順断面図

第4図